

คู่มือการใช้งาน

Wizard PLD-A02

Wizard PLD-A02 เป็นชุดพัฒนา FPGA ที่ถูกออกแบบมาให้ใช้งานได้สะดวกและสามารถทำงานได้กับ FPGA ตระกูล MAX7000S ได้แก่ ชิพเบอร์ EPM7064SLC84, EPM7128SLC84 และ EPM7160SLC84 ซึ่งเป็นชิพ FPGA ที่มีความจุของเกตเท่ากับ 1,250 เกต, 2,500 เกต และ 3,200 เกต ตามลำดับ ภายในบอร์ดมีขาให้ใช้งานได้ทั้งหมด 66 ขาด้วยกัน

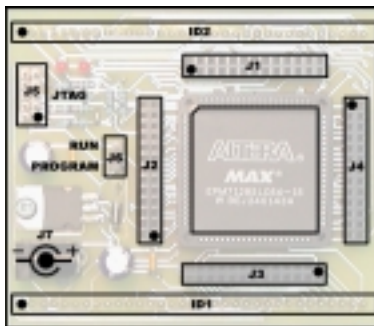


รูปที่ 1 Wizard PLD-A02

ลักษณะโครงสร้างของ Wizard PLD-A02



รูปที่ 2 ด้านข้างของ Wizard PLD-A02

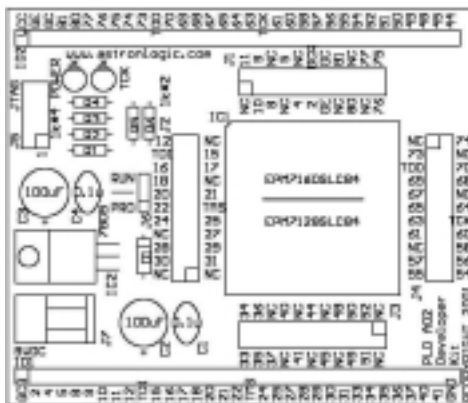


รูปที่ 3 ลักษณะการเชื่อมต่อของคอนเน็คเตอร์ต่างๆ บน Wizard PLD-A02

ภายในบอร์ด Wizard PLD-A02 จะประกอบด้วย

- วงจรรวมตระกูล MAX7000S ในอนุกรม EPM7128SLC84 หรือ EPM7064SLC84 (Optional), EPM7160SLC84 (Optional)
- JTAG Connector
- พอร์ตขยายช่องสัญญาณ
- Jumper เลือก MODE Program หรือ Run

- DC INPUT แรงดัน 7-12 โวลท์



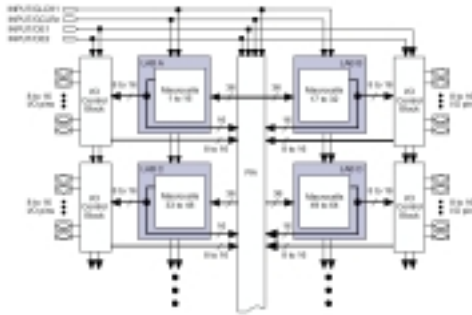
รูปที่ 4 การจัดวางอุปกรณ์ของ Wizard PLD-A02

รายละเอียดของ Wizard PLD-A02

วงจรรวมตระกูล MAX7000S

วงจรรวมตระกูล MAX7000S มีลักษณะโครงสร้างภายในเป็นแบบ EEPROM BASE FPGA สามารถเก็บข้อมูลที่โปรแกรมลงไปได้ โดยไม่จำเป็นต้องมีไฟเลี้ยง (NON-Volatile Configuration) ใช้ AND-OR Plane ในการทำลอจิกฟังก์ชัน และมีการจัดสถาปัตยกรรมในรูปแบบอะเรย์ (Array Structure) ในการโปรแกรมสามารถทำซ้ำได้ ประมาณ 10,000 ครั้ง ภายในเบอร์ด์ EPM7064SLC84 จะมีความจุของเกตประมาณ 1,250 เกต ประกอบด้วย Macrocell จำนวน 64 ตัว เบอร์ด์ EPM7128SLC84 ความจุของเกตประมาณ 2,500 เกต ประกอบด้วย Macrocell จำนวน 128 ตัว และเบอร์ด์ EPM7160SLC84 จะมีความจุของเกตประมาณ 3,200 เกต ประกอบด้วย Macrocell จำนวน 160 ตัว ในแต่ละ Macrocell จะมี Programable-AND/Fix-OR Array Configurable Register With

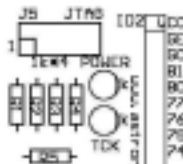
Independently Programmable clock ,Clock Enable, Clear และ Preset Functions



รูปที่ 5 โครงสร้างภายในของ FPGA ตระกูล MAX7000S

JTAG Connector

ใช้สำหรับต่อสาย ByteBlaster เพื่อ Download ข้อมูลของวงจรลอจิก จากคอมพิวเตอร์ลงไนชิพ FPGA ซึ่งมีตำแหน่งขาและการจัดวาง JTAG ดังรูปที่ 6



รูปที่ 6 ตำแหน่งขาและการจัดวาง JTAG Connector

พอร์ตขยายช่องสัญญาณ

จะมีให้เลือกใช้งานด้วยกัน 2 แบบคือ

1. แบบ Header คู่ตัวเมีย (J1-J4) ดังรูปที่ 3 และรูปที่ 7 สำหรับขยายการต่อช่องสัญญาณทำได้โดยการ Jump สาย ตำแหน่งขาของชิพไอซีกับ Hole จะมีความสัมพันธ์กันดังตารางที่ 1 ถึงตารางที่ 4



รูปที่ 7 การจัดวางตำแหน่งของชิพไอซีกับ Header

ตารางที่ 1 ความสัมพันธ์ระหว่าง J1 กับตำแหน่งขาของ IC1

J1 Pin Number	MAX7000S Pin Number	J1 Pin Number	MAX7000S Pin Number
1	NC	2	11
3	10	4	9
5	8	6	NC
7	NC	8	5
9	4	10	NC
11	2	12	1 (GCLRN)
13	84 (GOE1)	14	83 (GCLK)
15	NC	16	81
17	80	18	NC
19	NC	20	77
21	76	22	75

ตารางที่ 2 ความสัมพันธ์ระหว่าง J2 กับตำแหน่งขาของ IC1

J2	MAX7000S	J2	MAX7000S
Pin Number	Pin Number	Pin Number	Pin Number
1	NC	2	NC
3	31	4	30
5	29	6	28
7	27	8	NC
9	25	10	24
11	23 (TMS)	12	22
13	21	14	20
15	NC	16	18
17	17	18	16
19	15	20	14(TDI)
21	NC	22	12

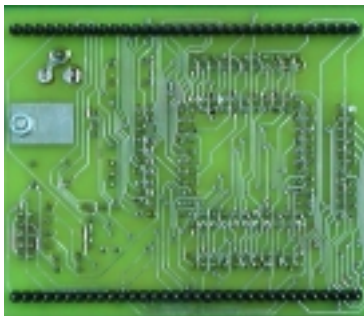
ตารางที่ 3 ความสัมพันธ์ระหว่าง J3 กับตำแหน่งขาของ IC1

J3	MAX7000S	J3	MAX7000S
Pin Number	Pin Number	Pin Number	Pin Number
1	NC	2	NC
3	52	4	51
5	50	6	49
7	48	8	NC
9	NC	10	45
11	44	12	NC
13	NC	14	41
15	40	16	NC
17	NC	18	37
19	36	20	35
21	34	22	33

ตารางที่ 4 ความสัมพันธ์ระหว่าง J4 กับตำแหน่งขาของ IC1

J4 Pin Number	MAX7000S Pin Number	J4 Pin Number	MAX7000S Pin Number
1	NC	2	74
3	73	4	NC
5	71 (TDO)	6	70
7	69	8	68
9	67	10	NC
11	65	12	64
13	63	14	62 (TCK)
15	61	16	60
17	NC	18	58
19	57	20	56
21	55	22	54

2. แบบ Header แถวเดี่ยวตัวผู้ (ID1 และ ID2) ดังรูปที่ 3 และ รูปที่ 8 ตำแหน่งขาของชิพไอซีกับตำแหน่งขาของ Header มีความสัมพันธ์กันดังตารางที่ 5 และตารางที่ 6



รูปที่ 8 ขาเชื่อมต่อแบบ Header แถวเดี่ยว


ตารางที่ 5 ตำแหน่งขาของ Header แถวเดียว ID1

ID1	MAX7000S	ID1	MAX7000S
Pin Number	Pin Number	Pin Number	Pin Number
1	1(GCRN)	18	23(TMS)
2	2	19	24
3	4	20	25
4	5	21	27
5	8	22	28
6	9	23	29
7	10	24	30
8	11	25	31
9	12	26	33
10	14(TDI)	27	34
11	15	28	35
12	16	29	36
13	17	30	37
14	18	31	40
15	20	32	41
16	21	33	ALL GND PIN
17	22	-	-

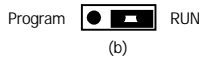
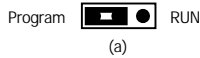
ตารางที่ 6 ตำแหน่งขาของ Header แถวเดียว ID2

ID2	MAX7000S	ID2	MAX7000S
Pin Number	Pin Number	Pin Number	Pin Number
1	ALL VCC PIN	18	63
2	84 (GOE1)	19	62(TCK)
3	83 (GCLK)	20	61
4	81	21	60
5	80	22	58
6	77	23	57
7	76	24	56
8	75	25	55
9	74	26	54
10	73	27	52
11	71 (TDO)	28	51
12	70	29	50
13	69	30	49
14	68	31	48
15	67	32	45
16	65	33	44
17	64	-	-

3.Jumper เลือกโหมด (J6) สำหรับเลือกโหมดการทำงาน แบบ Program หรือ Run ดังรูปที่ 9

Program  RUN

รูปที่ 9 Jumper เลือกโหมดการใช้งาน



รูปที่ 10 การเลือกโหมดการใช้งาน

สำหรับการเลือกโหมดใช้งานนั้น ในโหมด Program จะต้องเลือก Jumper J6 ดังรูปที่ 10a และจะต้องป้อนแรงดันไฟตรงประมาณ 7 – 12 โวลต์ ให้แก่บอร์ด PLD-A02 ผ่านทางแจ็คเตปเตเตอร์ J7 และหากจะใช้งานในโหมด Run จะต้องเลือก Jumper J6 ตามรูปที่ 10b ในโหมด Run เป็นโหมดที่จะใช้งานชิพ FPGA กับวงจรที่ผู้ใช้ได้ออกแบบเอาไว้ ในโหมดนี้จะไม่สามารถโปรแกรมข้อมูลลงในชิพ FPGA ได้ แรงดันที่ป้อนให้กับบอร์ดจะได้จาก ขา 1 ของ ID2 ซึ่งเป็นแรงดันไฟตรงขนาด 5 โวลต์ และ ขา 33 ของ ID1 ซึ่งเป็นกราวด์

DC INPUT แรงดัน 7-12 Volt

เป็นแจ็คเตปเตเตอร์ตัวเมียขนาดเล็ก สำหรับแรงดันไฟตรง 7 ถึง 12 โวลต์ โดยแกนในของ J7 จะเป็นขั้วบวกและแกนนอกจะเป็นขั้วลบดังรูปที่ 11 ภายในบอร์ดทดลองจะมีไอซี 7805 ทำหน้าที่เป็นเรกูเลเตอร์ 5 โวลต์ เพื่อเป็นแหล่งจ่ายแรงดันคงที่ สำหรับจ่ายให้กับชิพ FPGA ในโหมด Program ส่วนในโหมด Run จะใช้แรงดันไฟตรงจากภายนอก ที่ต่ออยู่กับ ขา Vcc และ Gnd ของ ID2 และ ID1 มาเป็นแหล่งจ่ายไฟให้กับชิพ FPGA



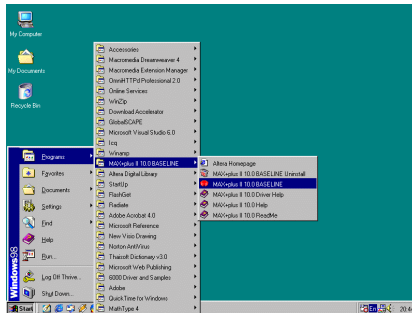
รูปที่ 11 แกนในเป็นบวกแกนนอกเป็นลบ

การ Download ข้อมูลทางลอจิกลงชิพ FPGA

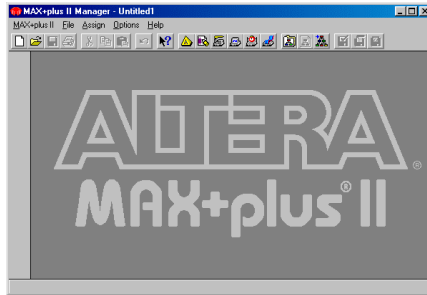
1. ป้อนไฟกระแสตรงแรงดัน 7-12 โวลท์ เข้าบอร์ด PLD-A02 ผ่านทาง J7 และเลือก Jumper เป็น Program

2. สำหรับในคู่มือบอร์ด PLD-A02 เล่มนี้จะแนะนำวิธีโปรแกรม ข้อมูลลง ชิพ FPGA แบบ Multi-Device JTAG Chain ซึ่งเป็นวิธีการ โปรแกรมที่ผู้ใช้สามารถเลือกได้นำข้อมูลจากไฟล์ไอดีโปรแกรมลงในชิพ FPGA จะมีขั้นตอนดังต่อไปนี้

2.1 เรียกโปรแกรม MAX+PLUS II จาก Startup Menu

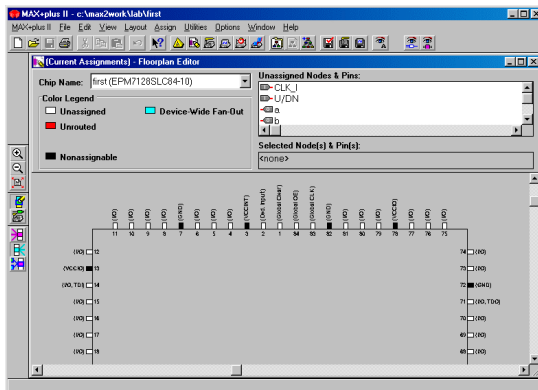


รูปที่ 12 การเรียกโปรแกรม MAX+PLUS II



รูปที่ 13 โปรแกรม MAX+PLUS II

2.2 ไฟล์ที่จะโปรแกรมลงชิพ FPGA จะต้องผ่านการทำ Floorplan Editor มาก่อนแล้วดังรูปที่ 14



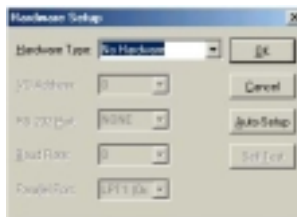
รูปที่ 14 Floorplan Editor ใน Layout แบบ Device View

2.3 ในขั้นตอนการโปรแกรมลงชิพ FPGA ให้ทำการเลือกที่เมนู MAX+PLUS II/Programmer จะมีไดอะล็อกปรากฏขึ้นมามีดังรูปที่ 15 ซึ่งในขณะนี้จะอยู่ในโหมด Single-Device JTAG Mode



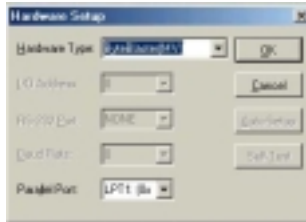
รูปที่ 15 Programmer Single-Device JTAG Mode

2.4 หากโปรแกรม MAX+PLUS II ยังไม่เคยทำการติดตั้งอุปกรณ์สำหรับโปรแกรมชิพ FPGA (สาย Byte Blaster) ให้ทำการติดตั้งสาย Byte Blaster เสียก่อน โดยการนำสาย Byte Blaster มาต่อที่พอร์ตนาน (Printer Port) หลังจากนั้นให้ทำการเลือกที่เมนู Options/Hardware Setup... จะมีไดอะล็อก Hardware Setup ปรากฏขึ้นมาดังรูปที่ 16



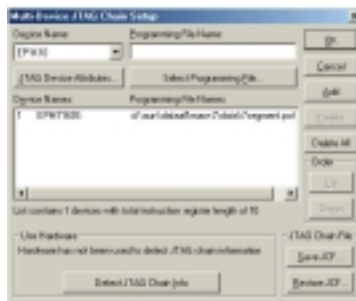
รูปที่ 16 Hardware Setup

2.5 หลังจากนั้นให้เลือก Hardware Type เป็น Byte Blaster (MV) และคลิกที่ปุ่ม OK ดังรูปที่ 17



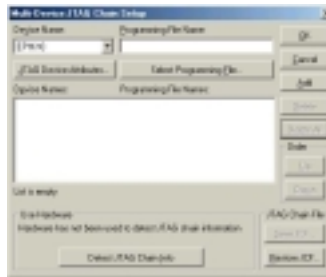
รูปที่ 17 เลือก Hardware Type เป็น Byte Blaster(MV)

2.6 ทำการ Setup JTAG Chain โดยเลือกที่เมนู JTAG/Multi Device JTAG Chain Setup... หลังจากนั้นจะปรากฏไดอะล็อก Multi Device JTAG Chain Setup ปรากฏขึ้นมาดังรูปที่ 18



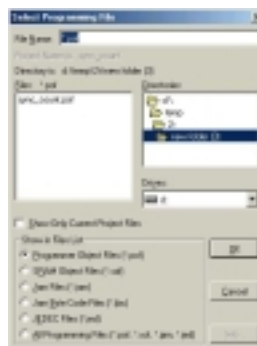
รูปที่ 18 Multi Device JTAG Chain Setup

2.7 ให้ทำการคลิกที่ปุ่ม Delete All เพื่อยกเลิกไฟล์เดิมที่เคยโปรแกรมออกไป จะได้ดังรูปที่ 19



รูปที่ 19 หลังจาก Click ที่ปุ่ม Delete All

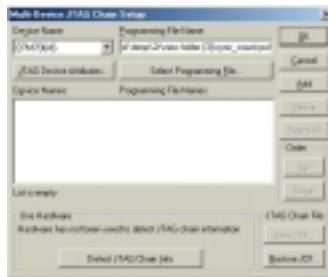
2.8 จากนั้นให้เลื่อนเมาส์ไปกดที่ปุ่ม Select Program File เพื่อเลือกไฟล์ที่จะโปรแกรมลงชิพ FPGA จะปรากฏไดอะล็อก Select Program File ปรากฏขึ้นมาดังรูปที่ 20



รูปที่ 20 Select Program File

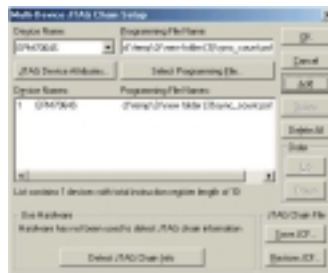
2.9 จากไดอะล็อก Select Program File จะเห็นว่ามีนามสกุลที่สามารถโปรแกรมลงชิพ มีให้เลือกอยู่หลายนามสกุลด้วยกัน แต่สำหรับ Wizard PLD-A02 แล้ว ไฟล์ที่จะสามารถโปรแกรมลงไปในบอร์ดได้จะต้องเป็นไฟล์ข้อมูล สำหรับโปรแกรมลง FPGA แบบ EEPROM BASE FPGA นั่นก็คือไฟล์ที่มีนามสกุลเป็น pof (Programmer Object File) เมื่อทำการ

เลือกไฟล์ที่จะโปรแกรมเรียบร้อยแล้ว ให้คลิกที่ปุ่ม OK จะปรากฏชื่อไฟล์ที่จะโปรแกรมที่ช่อง Program File Name ของไดอะล็อก Multi Device JTAG Chain Setup ดังรูปที่ 21



รูปที่ 21 หลังจากเลือกไฟล์ที่จะโปรแกรมเรียบร้อยแล้ว

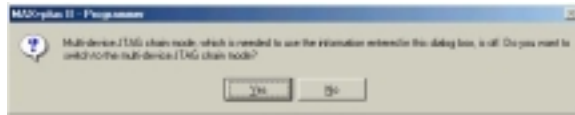
2.10 หลังจากนั้นก็ให้คลิกที่ปุ่ม Add เพื่อเพิ่มชื่อไฟล์เข้าไปเก็บไว้ใน List จะได้ดังรูปที่ 22



รูปที่ 22 หลังจากคลิกที่ปุ่ม Add

2.11 คลิกที่ปุ่ม OK เป็นอันเสร็จขั้นตอนการเลือกชื่อไฟล์ที่จะโปรแกรม หลังจากนั้นจะมีไดอะล็อก MAX+PLUS II-Programmer ปรากฏขึ้นมา แสดงข้อความเพื่อบอกว่าขณะนี้ได้เปลี่ยนโหมดจาก Single

Device JTAG Chain มาเป็นโหมด Multi-Device JTAG Chain ดังรูปที่ 23 ให้คลิกที่ปุ่ม Yes



รูปที่ 23 MAX+PLUS II Programmer

2.12 หลังจากนั้นที่ได้อะล็อก Programmer จะมีข้อความบอกว่า เป็น Multi-Device JTAG Chain และมีไฟล์ที่จะโปรแกรมจำนวน 1 ไฟล์ ด้วยกันดังรูปที่ 24



รูปที่ 24 Multi-Device JTAG Chain Mode

3. ก่อนที่จะโปรแกรมลงชิพจะต้องทำการตรวจสอบเสียก่อนว่าได้จ่ายไฟให้กับบอร์ด PLD-A02 เรียบร้อยแล้ว และได้ทำการเลือก MODE ของบอร์ด PLD-A02 เป็น MODE Program เมื่อทุกอย่างเรียบร้อยแล้วให้คลิกที่ปุ่ม Program เพื่อทำการโปรแกรมข้อมูลทางลอจิกลงในตัวชิพ FPGA